

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-306710

(43) 公開日 平成9年(1997)11月28日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 C	13/02		H 0 1 C	13/02	B
	1/14			1/14	Z
	17/28			17/28	
H 0 1 G	4/40		H 0 1 G	4/40	A

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平8-117435

(22) 出願日 平成8年(1996)5月13日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 土井 眞人

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 松本 美可

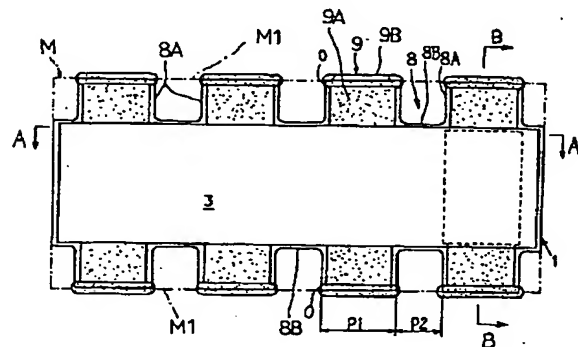
京都市右京区西院溝崎町21番地 ローム株式会社内

(54) 【発明の名称】 チップネットワーク電子部品

(57) 【要約】

【課題】 本発明は、凸部電極を備えたチップネットワーク電子部品の凸部電極間の半田等による短絡を防止するとともに、その防止をするために生じる凸部電極の割れ等の問題を一挙に解決するチップネットワーク電子部品を提供することを課題としている。

【解決手段】 基体の表面に複数の抵抗またはコンデンサ等の素子を備えるとともに、その外周に一对の平面部と両平面部につながる底面部とからなる凹状部を複数有し、前記凹状部間の凸状部を電極としてなるチップネットワーク電子部品であって、前記凹状部の平面部と底面部とが交わる部位を半径0.1mmより大きい面取り形状とすることによって、凸状部にクラックが発生して不良品となり難いチップネットワーク電子部品構造を提供する。



【特許請求の範囲】

【請求項1】 基体の表面に複数の抵抗またはコンデンサ等の素子を備えるとともに、その外周に一对の平面部と両平面部につながる底面部とからなる凹状部を複数有し、前記凹状部間の凸状部を電極としてなるチップネットワーク電子部品であって、前記凹状部の平面部と底面部とが交わる部位を半径0.1mmより大きい面取り形状としてなることを特徴とするチップネットワーク電子部品。

【請求項2】 基体の表面に複数の抵抗またはコンデンサ等の素子を備えるとともに、その外周に一对の平面部と両平面部につながる底面部とからなる凹状部を複数有し、前記凹状部間の凸状部を電極としてなるチップネットワーク電子部品であって、前記凹状部の向かい合う一对の平面部は略平行に配置され、両平面部の距離P2が0.5mmより小さく、その平面部と底面部とが交わる部位を半径0.1mmより大きい面取り形状としてなることを特徴とするチップネットワーク電子部品。

【請求項3】 請求項2のチップネットワーク電子部品において、前記凸状部の電極の幅P1が前記平面部の距離P2より大きく設定されていることを特徴とするチップネットワーク電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば複数の抵抗やコンデンサ、並びにコイル等を備えたチップネットワーク電子部品、または前記抵抗、コンデンサ、コイル等を組み合わせた複合チップネットワーク電子部品およびその製造方法に係わる。

【0002】

【従来の技術】従来、この種のチップネットワーク電子部品としては、複数の抵抗素子を備えたチップネットワーク抵抗器が知られている。このチップネットワーク抵抗器を例にとりて、図5乃至図9に基づき以下に従来の技術を説明する。図5に示す符号20はネットワーク抵抗器用のセラミック等の絶縁性を有する板厚を有する基板で、該基板20はアルミ等の焼成用のいわゆるグリーンシート状基板20の上面及び下面に予め製品となる大きさの略矩形状の基体21に分割（ブレイク）し、且つそのブレイクを容易にするため、縦スリット線22と横スリット線23とを刻み設け、更に前記縦横スリット22、23との交点及び縦スリット22の途中に、平面視長方形の孔28を基板20の板厚を貫通するように施した後、摂氏700程度度の高温で焼成してなる。

【0003】このように形成した基板20の表面に、図示しない例えば酸化ルテニウムなどを主成分とした抵抗体層と、その抵抗体層に通電する表面電極層29A、前記抵抗体層と表面電極層29の一部を覆う保護層30を印刷や蒸着などにより設けた後、前記縦スリット22に沿って基板20を割り、短冊状の複数の基板に分離す

る。

【0004】このように分離された複数の基板の側面に印刷焼成によって、側面電極29Bを設け、更に前記横スリット23で分離し、一つ一つのチップネットワーク抵抗器に分離する。このように分離され外部に露出したチップネットワーク抵抗器の電極29表面部分をNiと半田でメッキして完成品とされる。この完成品のチップネットワークの外観平面図を図6に示すが、この図に示すように外観は、基体21の外周から複数の電極29が突出し、結果的に電極29、29間に凹状部を有し、凹状部の間に凸状部21Aが形成される。この凹状部の形状については後で詳述する。

【0005】また、上述したようなネットワーク抵抗器においては、同様に回路基板の配線パターン上に実装される他のICの電極ピッチと均一化を図り、この電極ピッチと電極29、29間の寸法を同一にする必要性から、隣合う電極29、29の間隔P2を0.3から0.5mmの極狭くに設定されている。また、基板20の厚みも非常に薄く0.5、0.4、0.3mmのセラミック基板が用いられる。

【0006】このように、電極29の間隔を0.5mm以下にするとネットワーク抵抗をガラエボ等からなる回路基板の配線パターンに半田付けする場合、その半田により隣合う電極同士が短絡されてしまうなどの恐れがあり、このような問題を改善するため、本願出願人は特公平5-243020号または米国特許第5、334、968号に示すように、従来の丸孔や小判状孔から平面視長形状の孔28に変更することを提案している。

【0007】前述した孔の形状を平面視長形状の孔28に変更することによって、図8に示すように、対向する一对の直線状の平面部28A、28Aと、この平面部28A、28Aと直交する底部28Bとが形成される。一つのチップネットワーク抵抗器になる段階では、平面部28A、28Aがそれぞれその中央部で2つに分離され、図6に示すように前述した凹状部が形成される。このように、凹状部が一つの直線状の底部28Bと、これと直交する一对の平面部28Aとで構成することにより、前述した実装時の半田による短絡の問題が低減できる。このように低減できるのは実験的に判っているのであるが、その技術的理由は様々考えられ、その一つを図10に基づいて説明する。

【0008】電極29、29間の距離は、前述したように他の配線パターン間隔と均一化を図る必要から0.5mm以下に制限されるため、短絡を起こさないように大きくとることはできない。しかし、電極29、29間を上記したように一つの直線状の底部28Bと、これと直交する一对の平面部28Aとで構成される凹状部で分離することによって、基体21に沿った実質的な電極間距離が長くとることができる。つまり、半田の伝搬は、図7の矢印の方向に沿って、平面部28Aから底面部28

B、そして平面部28Aへと伝搬するから、半田の伝搬する実質的な電極29、29間距離を延長できるのである。例えば、前記凹状部を一点鎖線Kに示すような従来（例えば、実開昭61-37994号参照）の半円状の場合では、前述した平面部が平行していないことや底面部が存在しないことから、実質的な電極間距離は前述した凹状部の構成に比べ、電極29、29間の直線距離とその実質的な半田の伝搬距離が略同じであるため、短絡の恐れが高い。

【0009】

【発明が解決しようとする課題】しかしながら、前述したように一对の平面部28Aと底面部28Bとからなる凹状部を形成した場合、その凹状部に形成される凸状部の強度は、前記実開昭61-37994号のように半円状の凹状部に形成した凸状部の強度に比べて、その強度が小さくなる。これを解消するには、電極29の幅P1を大きくすることが考えられるが、実装する配線パターンピッチとの関係から1mm以下（通常0.5mm程度）の幅しかとれず大きくできない問題がある。このように凸状部21Aの強度が低いと、製造工程中（例えば、パレル等のメッキ時、または図9に示す測定端子31を上方から100g重程度の圧力によって押し当て、抵抗値を測定する抵抗値測定時、並びに搬送時）に凸状部21Aが割れて基体21から分離してしまい電極29が一部なくなってしまうたり、図8に示すように平面部28Aと底面部28Bとの交点部分にマイクロクラックが発生し凸状部21Aの割れの原因になることがある。

【0010】

【課題を解決するための手段】前述の問題点を解決するために、本願の請求項1に記載した発明は、基体の表面に複数の抵抗またはコンデンサ等の素子を備えるとともに、その外周に一对の平面部と両平面部につながる底面部とからなる凹状部を複数有し、前記凹状部間の凸状部を電極としてなるチップネットワーク電子部品であって、前記凹状部の平面部と底面部とが交わる部位を半径0.1より大きい面取り形状としてなることを特徴としている。通常セラミック基板を矩形内に抜く場合、その加工時（例えば焼成時など）に角部でクラックが生じないように、半径0.08mm程度の面取りを行うことが推奨されるが、チップネットワーク電子部品の製造過程でクラックなどの問題を生じることがある。これを低減するには0.1mmより大きい面取りをする必要がある。

【0011】また、請求項2では、基体の表面に複数の抵抗またはコンデンサ等の素子を備えるとともに、その外周に一对の平面部と両平面部につながる底面部とからなる凹状部を複数有し、前記凹状部間の凸状部を電極としてなるチップネットワークであって、前記凹状部の向かい合う一对の平面部は略平行に配置され、両平面部の距離P2が0.5mmより小さく、その平面部と底面部とが交わる部位を半径0.1より大きい面取り形状とし

てなることを特徴としている。請求項3では、請求項2のチップネットワーク電子部品において、前記凸状部の電極の幅P1が前記平面部の距離P2より大きく設定するようにしている。

【0012】前記基体の表面に形成する素子を電極と一体的に形成した導体とするれば、ジャンパーチップネットワークとしてのネットワーク電子部品にも適用することが可能であることは言うまでもない。

【0013】

10 【発明の実施の形態】以下本発明のチップネットワーク電子部品に抵抗素子を備えるに適用した場合の一つの実施の形態を図1乃至図4に基づいて説明する。図1に示すのがチップネットワーク抵抗器の平面図、図2に示すのが図1のA-A断面図、図3に示すのがB-B断面図である。

【0014】平面視矩形形状の基体1の表面に複数の抵抗素子2を備えるとともに、その外周Mの内の対向する2つの辺M1、M1に、一对の平面部8A、8Aと両平面部8A、8Aにつながる底面部8Bとからなる凹状部8を複数有し、前記凹状部間の凸状部9を電極としてなるチップネットワークであって、前記凹状部の向かい合う一对の平面部8A、8Aは略平行に配置されている。前記抵抗素子2は酸化ルテニウム等の抵抗材料を印刷にて形成し、レーザートリミング等によって抵抗値調整を行うか、又は蒸着によって抵抗材料を所定の抵抗値になるように設けるかされ、その上部には、抵抗素子2の保護のために、ガラス又は樹脂の被覆層3によって保護される。

【0015】前記両平面部8A、8Aの距離P2は、本実施の態様で0.3mm、その平面部8Aと底面部8Bとが交わる部位を半径0.1mmより大きい面取り形状としてなる。このように0.1mm以上の面取り形状とすれば、前述した図12で説明した従来のように、前記交わる部位にクラックが生じて凸状部9が割れ、基体1から分離されるといった恐れを低減できる。実験によれば、測定時や搬送時の割れがほとんどなくすることが可能となる。

【0016】また、本実施の態様では、図1に示す凸状部の電極9の幅P1は、前記P2より大きい0.5mmとしてあるが、このようにP1>P2として電極幅をできるだけ大きくすることによって、クラックによる割れの影響を少なくすることができる。さらに、凹状部8は一对の平面部8A、8Aと両平面部8A、8Aにつながる底面部8Bとからなるように構成することによって、このチップネットワーク抵抗器を実装する回路基板の配線パターン間のピッチが0.5mm以下のファインピッチであっても、隣合う電極9、9間の実質的な距離（図8の矢印参照）を大きくすることができるので、半田リフロー等の半田付けやメッキ時の短絡の問題を低減できるメリットがある。図1および図2において、9Aは表面

電極、9Bは側面電極、9Cは裏面電極であり、側面電極9Bは印刷にて形成される結果、前記平面部8Aの一部に被るような構成となる。

【0017】前記凹状部8の半径0.1mmより大きい面取りをした平面部8Aと底面部8Bとの交わる部位は次のようにして形成される。基体1の材料となるセラミックは、アルミナ粉末をバインダ及び溶剤とを混合した液状粘性物を、例えばスプレッターのロール上にドクターブレード法等により厚みを調整して薄く伸ばし、乾燥してシート状に成形して未焼成セラミックシート混ざ合わせた、いわゆるグリーンシートを焼成して形成されるが、前記凹状部は、図4に示す金型10で焼成前の状態時に打ち抜きによって形成される。そして、前記平面部8Aと底面部8Bとの交わる部位の形状(0.1mmより大きい面取り形状)は金型10の角部分10Aが転写して形成される。

【0018】前述したように、グリーンシートに矩形状の穴をあける場合、焼成時に角部でクラックが生じないように半径0.08mm程度の面取りをすることが推奨されるが、このような面取りでは製造過程でのパレルメッキや測定時の負荷によってクラックが発生し、完成品をテーピングに電極が分離した(不良)状態で収納されてしまう問題に鑑み、試行錯誤の結果、半径0.1mmより大きい面取りをした場合、前述したような不良の問題がほとんどなくなることが判明した。

*

*【0019】

【発明の効果】本発明のような構成を採ることにより、平面部と底面部とが交わる部位にマイクロクラックが発生して、凸状部が割れてチップネットワーク電子部品から電極が分離されるなどの恐れが低減できる効果を奏する。

【図面の簡単な説明】

【図1】本発明のチップネットワーク抵抗器の平面図である。

10 【図2】図1のA-A断面図である。

【図3】図1のB-B断面図である。

【図4】グリーンシートを打ち抜く金型を示す斜視図である。

【図5】個々のチップネットワーク抵抗器に分離する状態を示す部分斜視図である。

【図6】従来のチップネットワーク抵抗器の平面図である。

【図7】凹状部の拡大斜視図である。

【図8】従来の問題点を説明する説明図である。

20 【図9】従来の問題点を説明する説明図である。

【符号の説明】

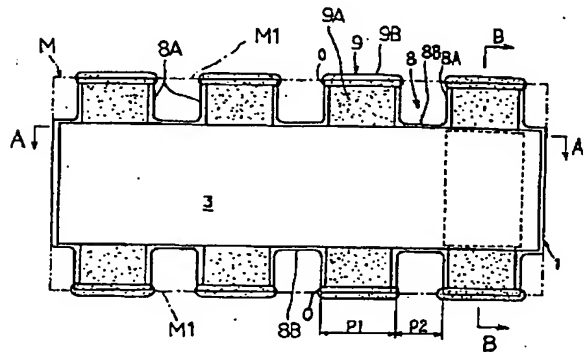
28B・・・底面部

28A・・・平面部

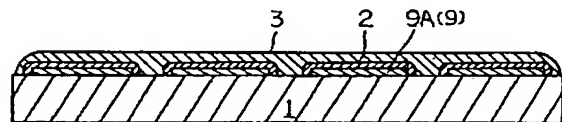
10・・・金型

10A・・・角部分

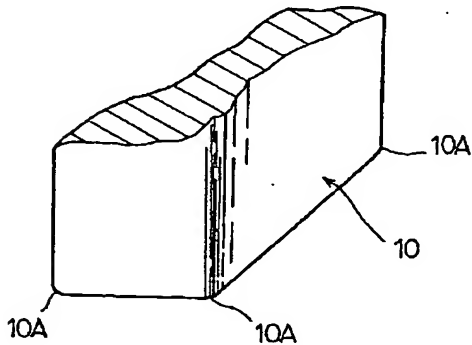
【図1】



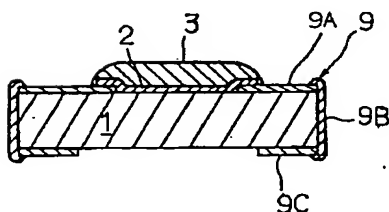
【図2】



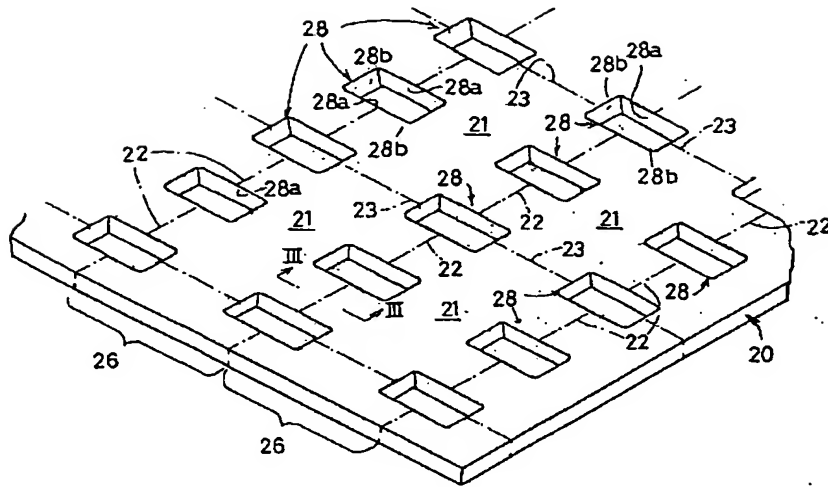
【図4】



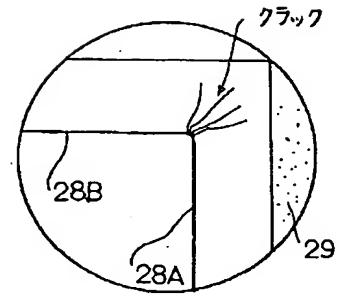
【図3】



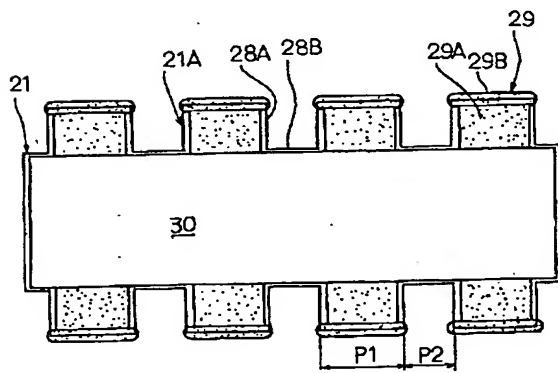
【図5】



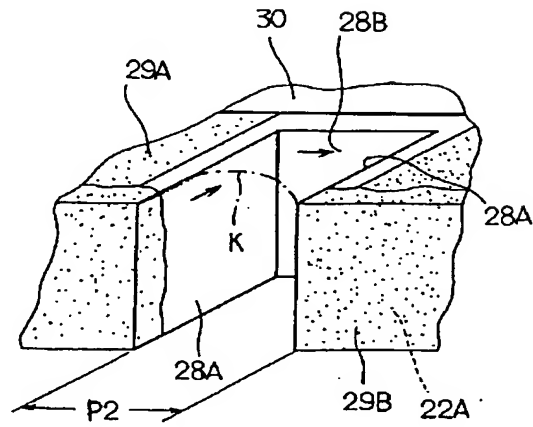
【図8】



【図6】



【図7】



【図9】

